

第2部 いじり放題&開発環境完備

コンピュータ自作派の憧れ… オープンソース版RISC-Vコア Syntacore社 謹製「SCR1」 でシステム作りを全部やってみる

圓山 宗智

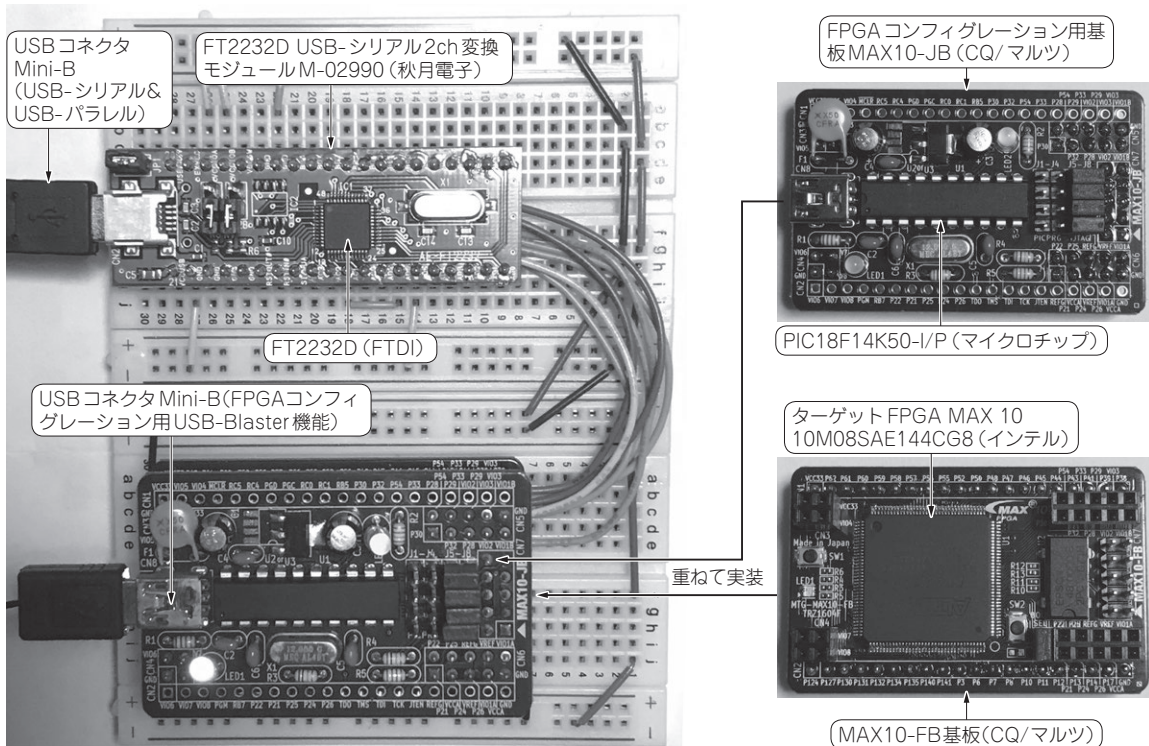


写真1 今回やること…RISC-Vコア「SCR1」を使ってMyプロセッサを設計し低価格FPGA基板上で動かしてみる
MAX10-FB基板上を使用したSCR1システムの実験例

記事の内容…オープンソースCPU「RISC-V」 を開発環境作りまで全部やってみる

● 手軽で実用的なRISC-Vの「SCR1」コア

オープンで自由に使える命令セット・アーキテクチャRISC-Vが提唱されて以来、それに準拠した商用またはオープンソースのCPUコアIPが数多く登場しています。このうちオープンソース系のコアについては、FPGAやSoCへの実装のやりやすさやプログラム開発時の実用性がきちんと整備されているかどうかを選択の重要なポイントになります。本稿ではこうしたオープンソースCPUコアの一例としてSyntacore社のSCR1を紹介します。SCR1は、可読性の良い

Verilog HDLで直接記述されており、論理合成や論理シミュレーションを簡単に実行できます。さらにOpenOCD経由でのJTAGデバッグもサポートされていて、実用的な仕上がりになっています。

低価格なFPGA基板上に書き込んで、開発環境やデバッグも含めて動かしてみます(写真1)。

● パソコン環境

本稿では、PC環境として64ビットLinux Ubuntu 16.04.3 LTS (ubuntu 4.4.0-98-generic)を使用しています。また、本稿で使用するソースコードは筆者のサポート・サイト<https://sites.google.com/site/max10fpga/riscv>からダウンロードできます。