

# オープンソースCPU 「RISC-V」の研究

## 第2回 アーキテクチャの基礎知識

[ご購入はこちら](#)

@msyksphinz

### ● RISC-Vとは命令セット・アーキテクチャの定義

オープンソースCPUの現在の代表格ともいえる「RISC-V」は、正確には命令セット・アーキテクチャ (Instruction Set Architecture : ISA) の名称です。

カリフォルニア大学バークレイ校 (UCB) の開発する元祖Rocket ChipやBOOMなどのRISC-Vの実装 (いわゆるマイクロアーキテクチャ) とは別物です。

RISC-Vはあくまで、命令セットやレジスタなど、CPUアーキテクチャの部分のみを定義しており、それをどのように実装するか、とは区別して考えます。

### ● ここでは仕様の詳細には触れずに特徴をつかむ

とは言っても、マイクロアーキテクチャのことを考えずに、ISAを定義することはナンセンスです。マイクロアーキテクチャで実現することが難しい命令をISAで定義しても、ハードウェアが複雑になるだけだからです。RISC-Vは、より簡潔な実装ができることを目指したISAですから、マイクロアーキテクチャのことも考えながらISAを定義する必要があります。

ここでは、仕様の詳細にはあまり触れずに、アーキテクチャの観点から見たRISC-Vの特徴を、仕様書から読み取れる範囲で説明していきます。

表1 RISC-Vのアーキテクチャ・レベルの分類

例えばRV32IMACでは、I: 基本命令, M: 乗除算命令, A: アトミック命令, C: 短縮命令がサポートされていることを示す

Misaレジスタ・ビット位置	略称	意味
0	A	Atomic拡張. アトミック演算処理
1	B	ビット(Bit) 操作命令のための拡張予約
2	C	Compressed命令. 16ビット長短縮命令
3	D	Double型浮動小数点命令拡張
4	E	RV32E(組み込み向け命令) 拡張
5	F	Float型浮動小数点命令拡張
6	G	追加拡張命令
8	I	RV32I/RV64I/RV128Iの基本命令
9	J	動的言語変換拡張のための予約領域
11	L	10進数浮動小数点拡張のための予約領域
12	M	乗除算命令拡張
13	N	ユーザ・レベル割り込み拡張
15	P	Packed-SIMD命令拡張
16	Q	128ビット浮動小数点命令拡張
18	S	スーパーバイザ・モードをサポートする拡張
19	T	Transactional Memory拡張のための予約
20	U	ユーザ・モードをサポートする拡張
21	V	Vector拡張のための予約
23	X	非標準の拡張

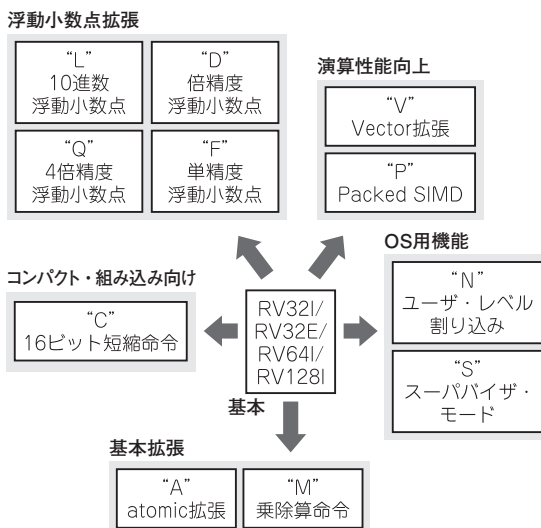


図1 RISC-Vのアーキテクチャ・レベルの分類  
用途ごとにさまざまな拡張が用意されている