

オープンソース RISC-V大図鑑

@msyksphinz

● さまざまな種類のRISC-Vコア

現在、さまざまな種類のRISC-Vコアが公開されています。ライセンス・フリーのRISC-Vは、自由にCPUコアを実装できるので当然ですが、情報が多すぎてどのようなコアがあるのか分かりにくいかもしれません。

ここでは、現在入手可能なコアを中心に、世界中で

開発されているRISC-Vコアを紹介します。また、ここで示すコアの仕様は、主にRISC-V公式サイト(riscv.org)に掲載されている入手可能なコア一覧(<https://riscv.org/risc-v-cores/>)をベースにしています。基本的な情報はこのサイトを参照していますが、筆者が試行したり調査した中で見つけた情報も追記してみました。

① 1番早く公開された元祖コア

Rocket

- 開発元：SiFive社、カリフォルニア大学バークレー校
- ライセンス：BSD
- サポートISA：RV32GC, RV64GC
- パイプライン：1-Issue 5ステージ イン・オーダ
- 外部接続インターフェース：TileLink/AXIコンバータも備える
- PMP (physical Memory Protection)：あり
- 設計言語：Chisel
- Dhrystone：1.72 DMIPS/MHz
- CoreMark/MHz：2.32
- ウェブ・サイト：<https://github.com/chipsalliance/rocket-chip>

Rocketは、RISC-VのオープンソースCPU実装としては、おそらく最も早い時期に公開された実装の1つといってもよいと思います。Rocketの実装を管理しているのはSiFive社と米国University of California, Berkeley (UCB, カリフォルニア大学バークレー校)のメンバで、RISC-Vの最も中心的なメンバが管理しているコアになります。このため、詳細な動作はISAの仕様に厳密に基づいており、最も信頼できるコアの1つだと思います。

Rocketは、RV32, RV64のどちらにも対応し、単精度、倍精度の浮動小数点演算、さらに、アトミック命令、コンパクト命令など、ほぼ全てのRISC-V

の仕様に対応しています。実装としては、シンプルな5ステージのパイプラインで、回路面積もそれほど多くなく、また性能的にも組み込み向けでバランスの取れているコアです(図1)。

Rocketは、BSDライセンスとして公開されています。従って、ダウンロードしたRocketコアは、誰でも自由に再利用できます。これは大きなメリットだと思います。

Rocketは、最もベーシックなコアで、よくCortex-A5と性能を比較されます。それは、Rocketが比較的RISC-Vの黎明期に設計されたコアのため、性能面で現代の最新コアと比較されにくくなったからだと言えます。

Cortex-A5プロセッサと比較しても遜色なく、高い面積効率を実現できます。Rocketコアの性能の高さは、デザインの洗練さもありますが、それ以上にRISC-V ISAがシンプルに作られていることが大きいと思います。

Rocketのデザインは、全てGitHub上に公開されています。また、デザインや仕様についてのディスカッションは、全てGitHubのIssue上で行われており、非常にオープンなデザインであるというのも特徴の1つです。誰でもIssueを作ったり、Pull Requestを出して、Rocketの開発に参加できます。

Rocketは、最初にチェックすべきRISC-Vコアだ