

オープンソース半導体チップ開発環境の世界

門本 淳一郎

プロセッサ・コアにオープン化の波

● オープンな命令セット RISC-V

RISC-Vは、次世代のSoC開発を支えるオープンかつ洗練された命令セット・アーキテクチャ (ISA) として注目を集めています。本稿では特に、RISC-Vを利用したオープンなチップ開発を主題に据えて、主要なRISC-Vソフト・プロセッサや、オープンな半導体チップ開発環境 (EDA ツール、Electronic Design Automation) 筆者が設計に携わっているシンプルなRISC-Vソフト・プロセッサといったものを眺めていきます。

● 次々公開されるソフト・プロセッサ

オープンなISAであるRISC-Vの登場によって、SoCやFPGA搭載向けのソフト・プロセッサが次々に公開されています。表1はこうしたソフト・プロセッサのうちの幾つかを選んでまとめたものです。

プロセッサのコア構成としては、エッジ向けSoCを想定した、順序通り実行するインオーダー・コアが多くなっています。汎用バスとしては、商用SoCにも用いられるAMBA AXIやAHB、APBをサポートしているものが多いです。UCB (カルフォルニア大学バークレー校) の研究チームやSiFive社が推進するTileLinkも幾つかのソフト・プロセッサで採用されています。

表1 主要なRISC-Vソフト・プロセッサ

名称	SweRV EH1	C-Class	Ariane	RISCY	Rocket	BOOM	VexRiscv
対応ISA	RV32IMC	RV64IMAC	RV64IMAC	RV32IMCX	RV64GC	RV64GC	RV32IMAC
命令	インオーダー スーパスカラ	インオーダー	インオーダー	インオーダー	インオーダー	アウトオブオーダー スーパスカラ	インオーダー
パイプライン	9ステージ	5ステージ	6ステージ	4ステージ	5ステージ		5ステージ
バス	AXI4, AHB-Lite	AXI4, TileLink	AXI4	AXI4, APB*	TileLink	TileLink	AXI4
OS対応状況		Linux, FreeRTOS, Zephyr	Linux	FreeRTOS*	Linux	Linux	FreeRTOS, Zephyr
記述言語	SystemVerilog	Bluespec SystemVerilog	SystemVerilog	SystemVerilog	Chisel	Chisel	SpinalHDL
公開URL	https://github.com/chipsalliance/Cores-SweRV	https://github.com/shaktiproject/cores/c-classes	https://github.com/pulp-platform/ariane	https://github.com/pulp-platform/riscv	https://github.com/chipsalliance/rocket-chip	https://github.com/riscv-boom/riscv-boom	https://github.com/SpinalHDL/VexRiscv
開発者の中心	Western Digital社	インド工科大学 マドラス校	スイス連邦工科大学チューリッヒ校	スイス連邦工科大学チューリッヒ校	カリフォルニア大学バークレー校	カリフォルニア大学バークレー校	SpinalHDL
備考	組み込みコントローラ向けコア	エッジ向けコア	現在はOpenHWグループの提供するオープンソース・コアの1つとして位置付けられている	Arianeよりも小さな32ビット・コア。SoCとしてはPULPinoやPULPissimoという名前で、汎用バスを搭載しOSをサポートしている	Rocket chipというSoCジェネレータの中核を成すコア	数少ないアウトオブオーダー構成のハイパフォーマンスなソフト・プロセッサ。Rocket chipジェネレータと組み合わせるとSoCを作成できる	FPGA向けのソフト・プロセッサ。性能やサイズを競うRISC-V SoftCPU Contestで1位を獲得している