

# DVI信号を生成して ディスプレイへ映像出力

井田 健太

## ● 動画を作りHDMIコネクタから出力する

Tang Nano 9K (Sipeed)にはHDMIコネクタが搭載されています。FPGAからDVI (Digital Visual Interface)の規格にのった映像信号を出力して、HDMIコネクタ経由でディスプレイへ画面を表示できます。

HDMIの信号規格はDVIの上位互換の構成になっています。そのため一般的なHDMI入力対応のPC用ディスプレイであれば、HDMI入力端子経由で入力されるDVIの映像信号を表示できます。

本章では、FPGA上に次の2つを実装し、Tang Nano 9Kから映像信号を出力してみます。

- テスト用の映像信号生成回路
- DVI信号出力回路

## システムの全体構成

図1にシステム構成を示します。各ブロックの内容は次の通りです。

## ● 水晶発振器 (27MHz)

Tang Nano 9Kのボード上に実装されている27MHzの水晶発振器です。FPGAのグローバル・クロック・ピンへ接続されており、内部のPLL (Phase-Locked Loop)の原振(PLLでは原振をもとに任意のクロックを作る)として用います。

## ● 任意のクロックを作る「GOWIN rPLL」

rPLLは、GW1NシリーズのFPGAが持つPLLプリミティブを使用するためのPLL IP (Intellectual Property) コアです。GOWINによって提供されています。

今回のシステムでは371.25MHzを生成する目的と、74.25MHzを生成する目的から、2つのインスタンスを作成します。前者はシリアライザ用、後者は内部映像信号用のクロックです。詳しくは後述します。

## ● テスト・パターン生成回路

ディスプレイに表示する映像信号を生成する回路です。水平方向に7色の帯を表示し、その上に本誌のロゴを重ねた映像信号を生成します。

## ● DVI信号生成回路

RGB映像信号を入力し、DVIの規格にのった映像信号を出力する回路です。

## ● FPGA内蔵のシリアライザ「OSER10」

OSER10は、GW1Nシリーズの内蔵シリアライザを使うためのプリミティブです。OSER10は10:1のシリアライザとなっており、10ビットの信号を入力し、10倍のレートで1ビットの信号として出力します。

シリアライザの動作のために、入力信号の5倍のクロックを入力する必要があります。内部ではこのク

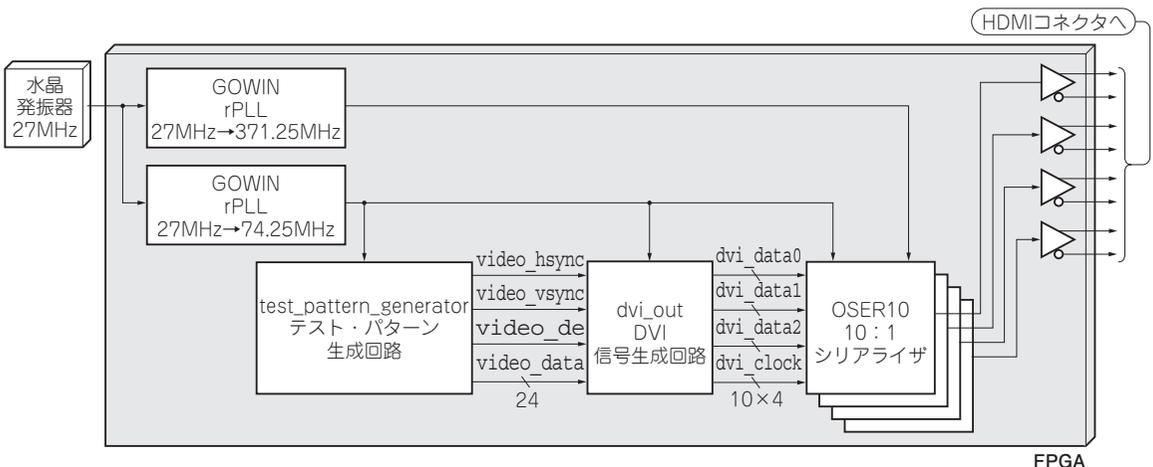


図1 システム構成