

LSIデザイン・コンテスト2022 優勝作品

FPGAに六面立体パズル 解法回路を実装

安齋 亘, 石井 美幸, 鈴木 太良

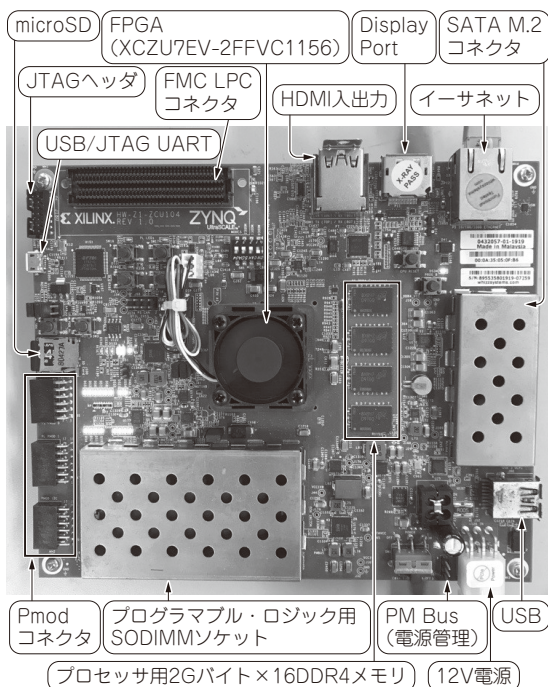


図1 実装にはFPGAボード Zynq Ultra Scale+ MPSoC ZCU104 を使った

LSIデザインコンテストは、国内の大学生、院生、高専生、アジア地域の大学生を対象とし、未来のエンジニアのLSI (Large Scale Integration) 設計スキルを向上することを目的として1年に1回開催されます。2022年の課題は、自動運転に応用される「深層強化学習 (Deep Q-Network : DQN)」でした。主催はLSIデザインコンテスト実行委員会です。

- 課題：深層強化学習のハードウェア設計。処理の高速化、回路規模の削減を目指す
- 参加資格：大学・高専生による4人以下のチーム
- レポート締め切り：2022年1月28日 (金)
- 発表：2022年3月4日 (金)
- 会場：大濱信泉記念館 (沖縄県)
- ウェブ・ページ：<http://www.lsi-contest.com/index.html>

以降では、最優秀賞の受賞者から作品を紹介してもらいます。 (編集部)

表1⁽¹⁾ FPGA (Zynq UltraScale + MPSoC, XCZU7) の仕様

機能	リソース数	
4コア Arm Cortex-A53 MPCore	1	
2コア Arm Cortex-R5 MPCore	1	
Mali-400 MP2 GPU	1	
H.264/H.265 コーデック	1	
I/O	HD (High Density) バンク	2バンク, 48ピン
	HP (High Performance) バンク	6バンク, 312ピン
	MIO (Multiplexed I/O) バンク	3バンク, 78ピン
	PS-GTR トランシーバ (6Gbps)	4個
	GTH トランシーバ (16.3Gbps)	20個
論理ブロック	システム・ロジック・セル	50.4万個
	フリップフロップ	46.1万個
メモリ	分散メモリ	6.2Mビット
	メモリ・ブロック (Block RAM)	11Mビット
	大容量メモリ・ブロック (UltraRAM)	27Mビット
DSPブロック	1728個	

筆者たちは六面立体パズルを解くためのハードウェア回路を設計し、FPGAボード Zynq Ultra Scale+ MPSoC ZCU104 (図1, 表1) に実装しました。ソフトウェアとハードウェア協調設計により、多層畳み込みニューラル・ネットワーク (CNN) の推論回路をFPGA上に実装することに成功しました。

● 六面立体パズルの状態数

六面立体パズルは異なる6色の面で構成されています。面が回転することでブロックが移動し配置が変化します。取り得る状態数は約4000京もあります。

システム構成

● PS部でシャッフルしPL部で解き方を出力

本システムは図2のようになります。シャッフルされた六面立体パズルの解法手順をFPGA上でDQNを用いて推論して出力します。FPGAには六面立体パズル自体のシステムを組み込んでおり、PS (Processing System) 部^{注1}で六面立体パズルをシャッフルし、PL (Programmable Logic) 部^{注2}はその状態を受け取り解法手順を出力します。

ハードウェアでの推論回路を実装するに当たり、学