

# インターフェース

畑山 仁, 久保 幸夫

本章ではインターフェースとして、USB、PCI Express、UART、I<sup>2</sup>C、SPI、1-Wireについて解説します。(編集部)

## ● 高速・大容量化に向かって進化中

高速シリアル・インターフェースは今日の電子産業を支えるコア・テクノロジーです。ネットワーク、装置間のもとより、装置内部も多くのバスがシリアル転送化され、時代のニーズに応じて、より高速で信頼性の高い通信を実現すべく絶え間なく進化しています。

私たちにとって身近なPCおよびその周辺機器やAV家電に限定してみると、1レーン当たり32Gbps (Gigabit per second) が実現されています。ディスプレイ系ではDP v2.1 HBR20 (DisplayPort Version 2.0 Ultra High Bit Rate 2.0) にて4レーンを使って80Gbps、USB4バージョン2.0では40Gbps×2レーンで80Gbps、LANの40GBASE-TではPAM 16にて3.2 Gbd<sup>注1</sup>が規格化されています(図1)。

## ● 高速・大容量化の背景①…半導体製造の変革期

半導体の製造方法は今、大きな変革期を迎えています。従来のように1つのシリコン・ダイではなく、従来個別にパッケージ化されてLSIとして提供されてきた特定目的のチップを、シリコン・ダイのまま供給し、ブロックのように接合して1つのパッケージとして提供するダイ混載技術チップレットがコア技術として台頭してきています。既にインテルやAMDのCPU、FPGAへの採用が始まっています。

この方法はヘテロジニアス・インテグレーション(異種集積)とも呼ばれています。半導体ベンダは、自らが最新プロセスを使えなくても、最新プロセスで実現された高性能I/Oやアクセラレータなどのチップレットを購入して組み込み、高性能化を図ることが可能となります。

注1: BdはBaudrate(ボーレート)の略。1秒間の変調回数を示す単位でPAMはパルス振幅変調なのでこの単位を使っている。

チップレットでは従来のようにチップ間の接続をパッケージ外の基板上の配線で伝送させることが不要です。そのため、以下の2つの可能性を秘めています。

- ①最先端プロセスで作られたトランシーバを買ってきて組み込むことで、インターフェースの規格策定から市場への投入、普及の速度が速まる可能性
- ②電気のみならず光伝送のトランシーバのチップレット化も可能なので光電コパッケージ技術(CPO, Co-packaged Optics)が可能になる。ここではパッケージ搭載用のコネクタも提案されており、パッケージから直接外部へ光リンクを接続することが可能になる。

①としてはPCI Express Gen.6やUSB4バージョン2.0が可能性としてあります。②の光インターコネクタへの移行は以前からも言われていましたが、光軸合わせなどの問題でなかなか普及しませんでした。その点、チップレットによる光電コパッケージ技術で一気に加速する可能性があります。

## ● 高速・大容量化の背景②…AI, 8Kディスプレイなど社会からの要求

高速インターフェースの進化を促す他の要因として、社会からのデータ転送高速化の要求があります。具体的には、8Kを代表とするディスプレイの高解像度・高フレーム化、大容量化するファイルおよびストレージなどです。また最近の傾向としてChatGPTのような大規模言語モデル(LLM: Large Language Models)による自然言語処理を利用した対話型AIが実用化され、かつてないほどの速度で普及が進んでいます。これらの技術発展や普及には、学習に必要なテキスト・データ量と必要処理速度に応えられる強力なコンピュータ・パワーやGPUが貢献しています。H100 Tensor コア GPU(エヌビディア)はPAM4にて50Gbdの物理層で接続され、900Gバイト/sのデータ帯域を実現しています。

はたけやま・ひとし