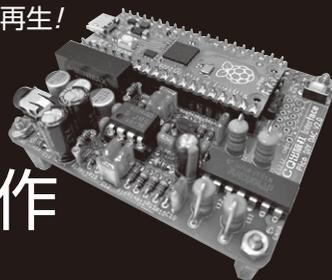


ラズベリー・パイ本体と組み合わせてPCM入力をソフトウェアで $\Delta\Sigma$ 再生!

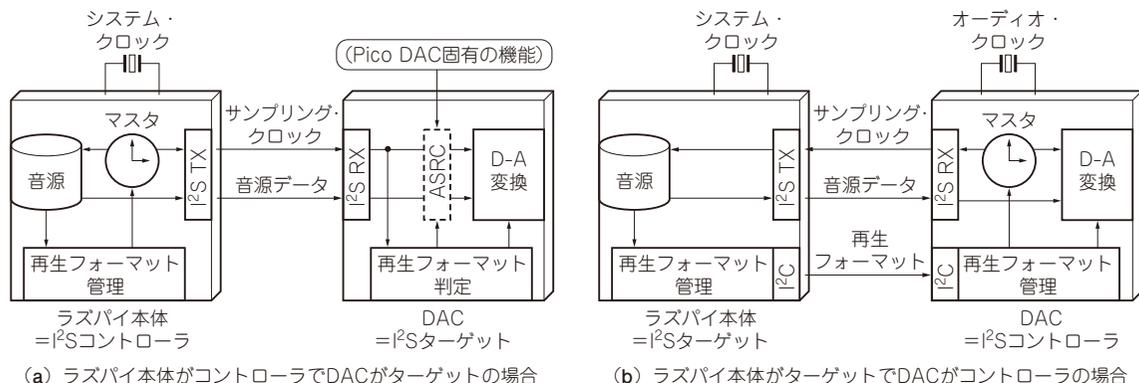
ハイレゾ&I²S伝送対応!

新ラズパイPico DACの製作



第9回 Pico DAC 母艦としてのラズベリー・パイ5

geachlab

図1 I²Sクロック・ターゲットとコントローラ概念

本連載では、自作オーディオDAC (D-Aコンバータ) 基板^{注1}、通称「新ラズパイPico DAC」の開発過程を紹介しています。今回はラズベリー・パイ5特集に連動して、ラズベリー・パイ5にPico DACを搭載した場合に生じる課題を説明します。稿末のAppendixでは、前回(2024年4月号)のI²Sコントローラ対応のフォローアップを行います。

本稿は2024年3月時点(以降、執筆時点)の情報です。ラズベリー・パイ5対応のOSやソフトウェアは開発段階で情報も流動的です。調査を通じて、明らかに開発途上と思われる結果も散見されますが、今後のアップデートで改善される可能性もあります。ここに書かれていることをうのみにせず、自身で最新情報をチェックするようお願いします。

注1: 本連載ではラズベリー・パイPicoやラズベリー・パイ3B/4B/5などの混同を避けるため、表記を次の通り統一します。

基板の正式名称・通称	本連載での表記
Raspberry Pi 3B/4B/5, ラズパイ	ラズパイ本体
Raspberry Pi Pico, ラズパイPico	PicoまたはPico基板
(旧)ラズパイPico DAC	旧基板または旧Pico DAC
(新)ラズパイPico DIY DAC V2	新基板または新Pico DAC

1 ラズパイ本体-DAC間のI²S接続をおさらい

ラズパイ本体からDACへ音源データを伝送するI²S (Inter-IC Sound) 規格については、本連載(2023年4~7月号, 2024年4月号)で詳細に解説しています。ここではラズベリー・パイ5とDACの接続を解説する上で、この概念をおさらいします。まず図1にI²Sターゲット・コントローラ概念を示します。

● ラズパイ本体がI²Sコントローラの場合

図1(a)はラズパイ本体がI²Sコントローラ(クロック・マスター/主)、DACがI²Sターゲット(スレーブ/従)の場合です。ラズパイ本体が音源のサンプリング・クロックとデータを同時送信し、DACはそれらを同時受信して、そのタイミングに従いD-A変換を行います。図1(a)のメリットは構造が単純なことです。デメリットはサンプリング・クロックのジッタがD-A変換品質に影響を及ぼす可能性があることです。

Pico DAC固有のデメリットは、受信クロックとD-A変換クロックが非同期であるため、ASRC (Asynchronous Sampling Rate Converter: 非同期サンプリング・レート変換) 処理を挿入しており、音源データの加工を伴うため、処理負荷や音質劣化の懸念

第1回 THD+N 0.0049%で低ノイズ&低ひずみ! 新基板の設計と製作 (2023年3月号)

第2回 I²Sデータ受信対応①…検討編 (2023年4月号)第3回 I²Sデータ受信対応②…PIOやDMAを活用して384kHz/32ビット対応/設計&評価編 (2023年5月号)