



関連データ

# FPGA評価キットを使ったグラフィック・イコライザの設計製作

FPGAを使ったデジタル信号処理の例として、入力した音声データをリアルタイムにFIRフィルタで信号処理して出力するシステムを構築する。AC97 CODECとタッチパネルの付いたLCDモジュールを装備したFPGA評価キットを使い、FIRフィルタの特性をタッチパネルから直感的な波形として入力できるグラフィック・イコライザである。

萩原 尚

(編集部)

## はじめに

米国 Altera 社の FPGA 評価キットを使い、FPGA を使用した信号処理システムの設計例を紹介します。

デジタル信号処理の代表といえば、FIR フィルタと FFT です。この二つを用い、信号処理の効果を直感的に感じ取ることができる、オーディオ信号処理アプリケーションを作ります。目標は、タッチパネルに書いた周波数特性をリアルタイムで実現できる“自由自在”なグラフィック・イコライザです。

FIR フィルタには Altera 社が提供する IP コアを用います。また、フィルタ係数の算出およびシステム全体のコントロールには、Nios II ソフト・コア・プロセッサを使用します。使用する評価キットに搭載されている FPGA は Cyclone III の 3C25 というデバイスで、ラインナップの中では低コストに分類されるものですが、すべての処理をこの 1 チップでこなしています。

このアプリケーションは、信号処理部と GUI 部 (LCD 表示出力およびタッチ・スクリーン入力) の二つのパートからなります。誌面の都合もあり、本稿では信号処理部の設

計をメインに説明します。ソース・コードなどは、本誌の Web サイト (<http://www.cqpub.co.jp/interface/download/>) からダウンロード可能です。コードを参考に、読者もオリジナルの GUI 付き信号処理システムの設計にチャレンジしていただきたいと思っています。

## 1 使用する FPGA 評価キットと設計ツール

### ● FPGA 評価キット

最初に、今回使用する Nios II エンベデッド評価キット (Nios II Embedded Evaluation Kit: 略称 NEEK) の説明をします。写真 1 に外観を、図 1 にブロック図を示します。

このキットは、FPGA を搭載したスタート基板 (Cyclone III FPGA スタート Board) と、800 × 480 ドットのカラー LCD モジュールをはじめとする各種インターフェースを搭載した、マルチメディア基板 (LCD Multimedia Daughtercard) の 2 枚のボードを重ね合わせた構成になっ

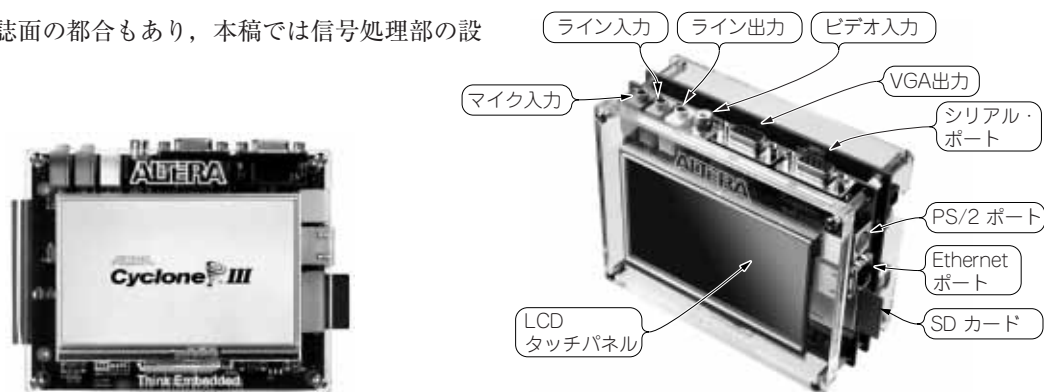


写真 1 Nios II エンベデッド評価キットの外観

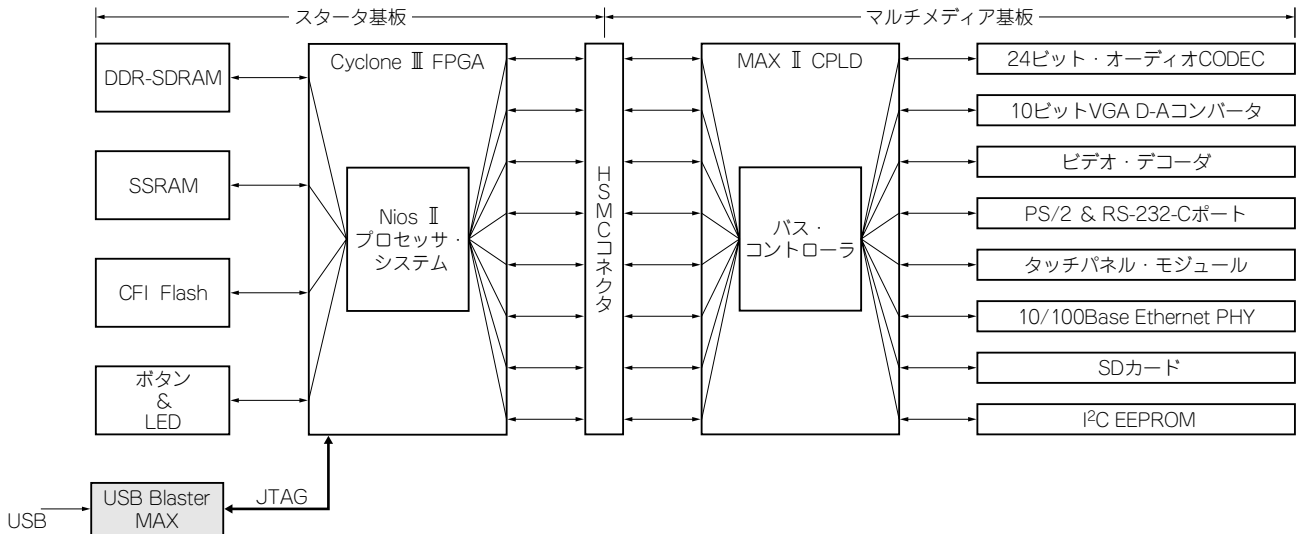


図1 Nios II エンベデッド評価キットのブロック図

ています<sup>注1</sup>。

ベースのスタート基板には、主役のFPGAとしてCyclone IIIファミリの3C25F324 (25000 ロジック・エレメント, 18 × 18 ビット乗算器 66 個, 600K ビット専用メモリ) が搭載されています。また、各種メモリ (16M バイト・フラッシュ ROM, 1M バイト同期型 SRAM, 32M バイト DDR-SDRAM) および押しボタン・スイッチ, LED が搭載されています。

FPGA には Nios II プロセッサが実装され、その動作確認を容易に行えるハードウェアとなっています。また、JTAG-USB インターフェースである USB-Blaster 機能を持った MAX CPLD も搭載しており、パソコンとは USB ケーブルを接続するだけですべての開発が行えるようになっています。

マルチメディア基板には、タッチ・スクリーン付きの高精細 TFT LCD モジュール (800 × 480 ピクセル) に加え、オーディオ入出力, コンポジット・ビデオ入力, VGA ビデオ出力, RS-232-C, PS/2 コネクタ, 10/100Base Ethernet, SD カード・スロットと豊富な入出力インターフェースが用意されています。

NEEK に付属するサンプルとして、Nios II を核とした、各種メモリやタッチ・スクリーンおよび LCD のコントローラ, Ethernet MAC (論理層) などを含んだ FPGA ハードウェア・デザイン (Application Selector), およびソフトウェア・デザインがソース・コードで提供されています。

ネットワークを扱うアプリケーションや、最近流行のタッチ・ペンを用いた GUI 制御によるアプリケーションの実装や評価が行えるようになっています。

開発ツールとして、Quartus II Web Edition と Nios エンベデッド・デザイン・スイートが同梱されており (Nios II などの IP コアなどは評価版), デザインの設計と評価がすぐに行える環境になっています (<http://www.altera.co.jp/b/nios2-promotion.html>)。

各種の組み込み機器の開発や評価を行うベース・ハードウェアとして活用できます。また、趣味で電子工作を楽しんでいる方にとっても、opencores.org など公開されているフリーの FPGA 用コアを利用すれば、高度なアプリケーションの製作を安価に楽しめるハードウェアです。

### ● システム設計ツール SOPC Builder

今回の FPGA デザインに使用するツール SOPC Builder を紹介します。SOPC Builder は、FPGA の内部バスである Avalon インターフェースと呼ばれるインターフェース仕様に準拠したコンポーネントを相互に接続し、システムを構築する Quartus II に付属したシステム設計ツールです。

コンポーネント間のタイミングやアクセス調停などの回路は SOPC Builder が自動で生成してくれるため、設計者

注1: 購入する場合は、アルテラ販売代理店もしくはアルテラ・オンライン・ショップ (<http://www.altera.co.jp/buy/buy-index.html>) まで。