

徹底
解説

作ればわかる PCI Express

第4回 物理層の実装(前編)～PIPEへアクセスする～

内藤 竜治

第1回と第2回でPCI Expressの基礎知識を、第3回で100MHzを超えるI/O信号をFPGAで扱う場合の注意点について解説した。いよいよ具体的にHDLソースを示しながらPCI Express対応アドイン・カードを実現するまでを解説を始める。第4回の今回は、PIPEへアクセスする物理層について設計する。(編集部)

FPGAとPHYチップをPIPEでつなぐと、どのようなデータが送られてくるのでしょうか。図1は実際に送られてきたデータをキャプチャしたものです。こういったデータを解析して処理するのが物理層の仕事です。本連載の第4回と第5回では、物理層の作り方について考えます。

1. 物理層は何をやっているか

PCI Expressの物理層は電気サブブロックと論理サブブロックに分けられます(図2)。PHYとFPGA間を接続するインターフェースはPIPE(パイプ)と呼ばれます。PHYは連載の第2回目で解説したとおり、電気サブブロックを担当します。本連載で設計するIPコアは論理サブブロックより上の層を実現します。

論理サブブロックの役割は次のとおりです。

- オーダード・セット(物理層パケット)を処理する
- リンクの確立とネゴシエーションを行う
- 電氣的アイドル状態への移行を管理する
- 必要に応じてスクランブルを行う

- 受信したDLLP(データリンク層パケット)とTLP(トランザクション層パケット)をDLL層へ渡す
- TLP, DLLP, オーダード・セットを送信する
- ×2以上の構成ではByte Stripingとその復元を行う

● Kコード

PIPEのデータ・バスには、8ビットのデータのほか、通常のデータとコマンドの区別を表す1ビットの符号があります。この符号が立てられるとKコードという特殊なコマンドとして扱われます。PCI Expressで使われるKコードの一覧を表1に示します。通常のデータはDコードと呼ばれます。

● スクランブル

スクランブルというのは、伝送路上を同じデータ(例えば、通信がない場合のD0.0)が連続した場合に、特定の周波数のEMIノイズが強くなるのを避けるためにデータに乱数を足す処理です。

スクランブルの回路は図3のようにして作ります。これは擬似乱数を用いて入力データのXORを取るというものです。受信側にも同じ乱数発生回路(LFSR)を用意してお

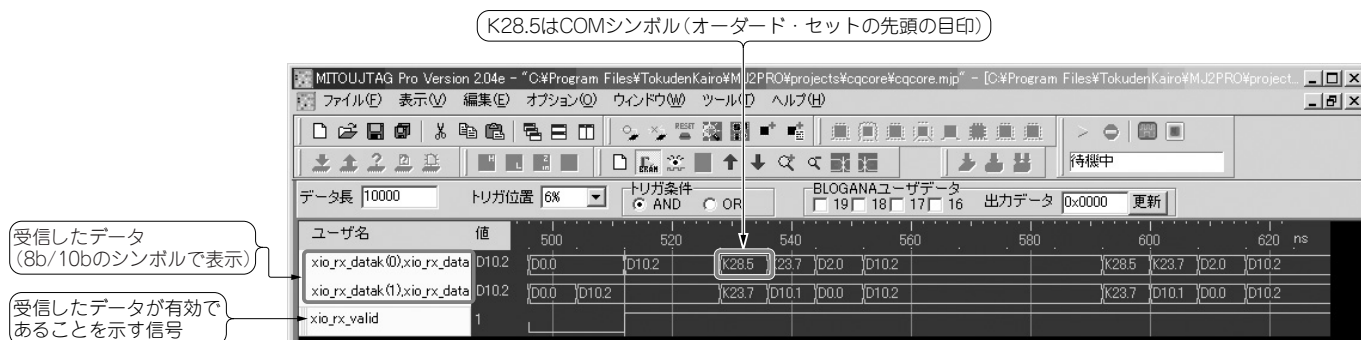


図1 PIPEから受信した最初のパケット

RX_VALIDが有効になって初めて現れたパケットは「K28.5 K23.7 K23.7 D10.1 D2.0 D0.0 D10.2…」という並びであった。この図は筆者の開発したMITOUJTAGというソフトウェアでキャプチャしたもの。FPGA内部のブロックRAMに波形を溜め込んで、JTAGを通じてパソコンに取り込んで表示している。

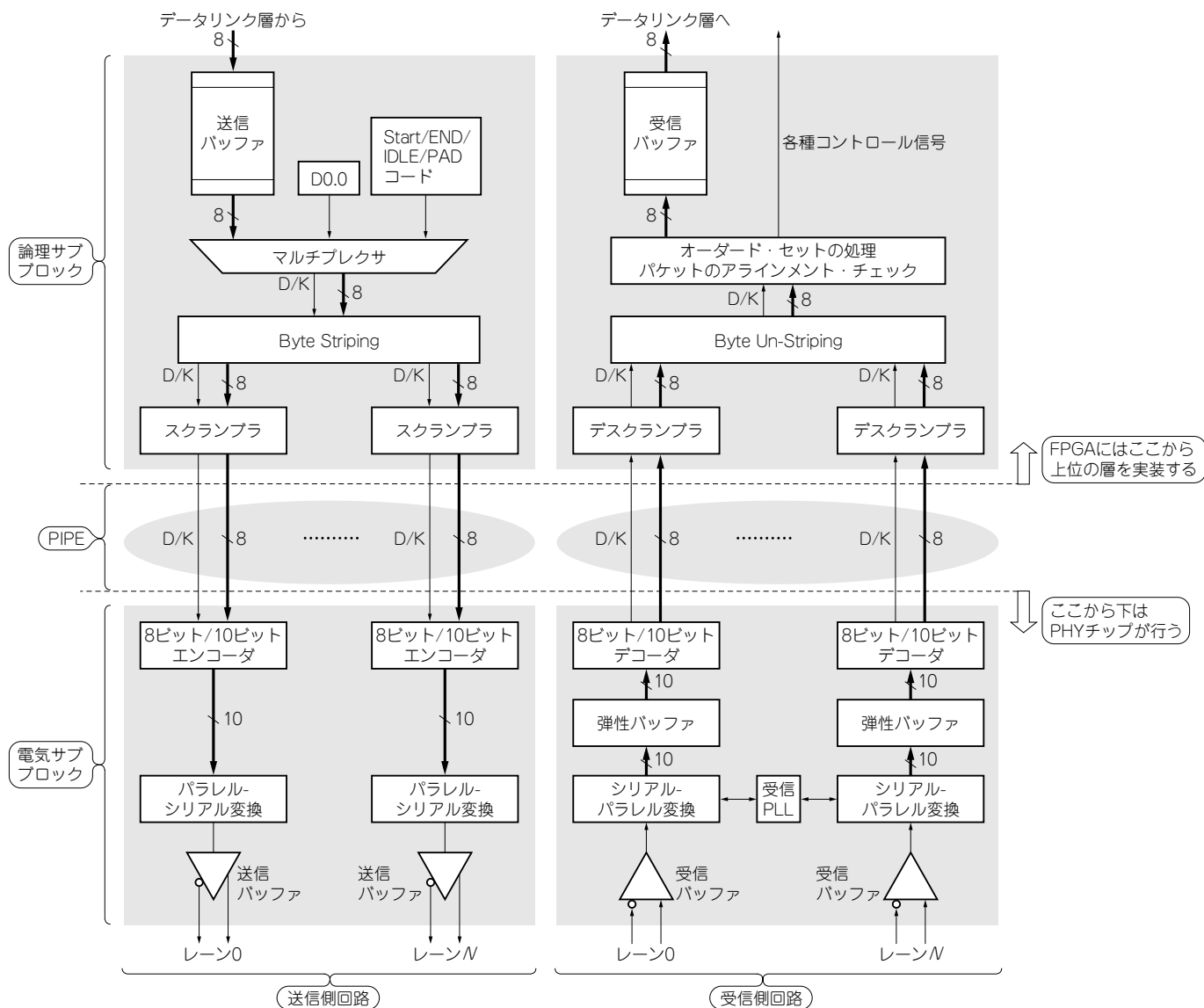


図2 物理層の全体像

今回のコアでは Byte Stripping とスクランブル/デスクランブルは作らない。また送信バッファ/受信バッファも実装しない。

表1 PCI Express で使われる K コードの一覧

シンボル	K コード	意味	HEX 値	送出するパターン (+)		送出するパターン (-)	
				abcdei	fghj	abcdei	fghj
COM	K28.5	Comma	1BC	110000	0101	001111	1010
STP	K27.7	Start TLP	1FB	001001	0111	110110	1010
SDP	K28.2	Start DLLP	15C	110000	1010	001111	0101
END	K29.7	END	1FD	010001	0111	101110	1000
EDB	K30.7	EnD Bad packet	1FE	100001	0111	011110	1000
PAD	K23.7	PAD	1F7	000101	0111	111010	1000
SKP	K28.0	Skip	11C	110000	1011	001111	0100
FTS	K28.1	Fast Training Sequence	13C	110000	0110	001111	1001
IDL	K28.3	Idle	17C	110000	1100	001111	0011