

# Appendix 2

FPGA やマイコンなどのロジック回路のデバッグに重宝する

## ペン・タイプ形状 ロジック・チェッカ HL-49



### ● 概要

本ロジック・チェッカはマイコンやロジック開発時に「簡単にロジック・レベルをチェックしたい」という、筆者の個人的な欲求から製作しました。これ1本でほかの測定器を代替するというよりも、測定器を引っ張り出して来る前に使う導通チェッカのような簡易ツールとして、気軽に使えることを目指しています。

製作に当たってまず必要な機能として、

- TTL および LVTTTL の“H”/“L”レベルを検出できる
- ハイ・インピーダンス (HiZ) 状態を検出できる
- パルスを検出できる
- 扱いやすいペン・タイプ形状 (写真1)

を挙げました。

今回特にこだわった部分は、ペン・タイプ形状である点と7セグメント LED に H と L の文字表示を行う点です。

0.5mm ピッチの QFP (Quad Flat Package) プロービング (プローブを当てる) を考えると、取り回ししやすい形状であることは重要です。また、測定時にプローブ端と結果が同時に見えた方がよいので、可能な限り7セグメント LED はテスト先端に配置するようにしました。

できれば CMOS レベルのロジック検出もしたいところですが、CMOS は電源電圧でスレッシュホールドが変わってしまうため、うまく回路を共用できず TTL/CMOS 両対応は断念しました。また、使い勝手の点からは電源もターゲット基板から取りたかったのですが、これも今回は断念しました。

### ● 使い方

写真2に使い方およびロジック判定結果の表示のようすを示します。本ロジック・チェッカ自体の電源は出力7V程度のAC

アダプタを使います。また、写真2(a)のように黒色のICクリップを被測定回路のグラウンド・ピンに接続し、ロジック・レベルを観測したい部分に、針を当てるだけです。

HiZ 状態の場合は写真2(a)のように7セグメント LED 中央の横棒が点灯します。また“H”レベルか“L”レベルか以外に、ほとんどは“L”レベルでときどき“H”レベルのパルスを検出したとき(またはその逆)にドットが点灯します(写真2(d), (e))。

### ● 回路について

図1に本ロジック・チェッカの回路図を示します。本ロジック・チェッカの回路はフロント・エンド部と電圧比較部、パルス検出部、表示部、および電源部で構成されています。

#### (1) フロント・エンド部

プローブ端から入力される過電圧に対する保護と、解放時に HiZ を検出するためのオフセット電圧へのプルアップ、および高速ロジック信号の波形補償を行うブロックです。

電圧比較部に使用している高速コンパレータのコモン・モード入力定格が0~3.0Vで5VのTTLレベルをそのまま入力できません。そこで1/2分圧を行うアナログ・フロント・エンド(アッテネータ)を付けました。

測定器という性格上、入力インピーダンスは高いに越したことはありません。しかし、コンパレータの入力バイアス電流の温度誤差や個体差を考えると、むやみに高くするわけにもいきません。このような場合、きちんとした測定器ではプローブ端に輸入FETを付けてインピーダンス変換を行うのが一般的かと思いますが、筆者には測定用FETを使ったアナログ・フロント・エンドの設計経験がなかったため、抵抗分圧で稼げる程度の入力インピーダンスとしました。

もっともロジック専用のテストであることを考えると、MΩクラスの入力インピーダンスは不要ですし、むやみにインピーダンスを高くしても使いにくくなるだけです。1/2分圧のアッテネータとしては値がずれていますが、これはコンパレータの入力バイアス電流分を考慮した結果です。標準値でシミュレーションを行い、実機でもほぼ同じ値が得られたためこの値を使用しています。

被測定側から見た場合、20kΩ程度のインピーダンスで1.3Vを加えることになるため、低速CMOSロジックやワイヤードOR回路などの高いライン・インピーダンスを持つような回路では、測定対象の動作に影響を与えてしまいます。そのため、本ロジック・チェッカでは前提とする測定対象をライン・インピーダンス1kΩ以下のロジックに限定しています。



写真1 ペン・タイプ形状ロジック・チェッカ HL-49