

## FPGAのデバッグ技法

畑山 仁

FPGA から外部に出るバスや信号数は最小限に減らされているため、従来のように基板上のICへロジック・アナライザのプロブを接続してデバッグすることは不可能になっている。ここではロジック・アナライザを使って、FPGA内部をデバッグする手法を紹介する。  
(編集部)

今日の電子回路の標準部品としてFPGAは広く浸透しています。最先端の半導体プロセスを取り入れて集積度も年々向上し、かつては複数の基板で構成していた回路やシステムも一つのFPGAに収まってしまうほどです。またFPGA外部に出るバスや信号数も最小化され、基板上のICにロジック・アナライザのプロブを接続してデバッグしていた過去の手法は不可能になっています。

そのため、FPGA内部をロジック・アナライザでデバッグする手段がFPGAベンダやロジック・アナライザ・ベンダおよびサード・パーティから提供されています。本章ではロジック・アナライザを使って、FPGA内部をデバッグする手法を、FPGAベンダが提供している埋め込み型のロジック・アナライザとの比較も含めて述べます。

## 1. FPGAのデバッグ手法

FPGAの設計検証として広く利用されている手段としてシミュレーションがあります。実機を用意することなくパソコン上で手軽に動作を検証できる手法です。しかしながらプロトタイピングを含めて、実機上つまりインサーキットで検証した方が速い場合、あるいはシミュレーションでは検証できない場合もあります。たとえば以下のようなシステムです。

- 複数の高速クロックで動作する、あるいは非同期系のシステム
- 画像や通信など実世界のデータを大量に扱うシステム  
このようなシステムを検証するには、埋め込み型ロジック・アナライザと外部ロジック・アナライザによる2種類

の方法があります。しかし、どちらのデバッグ手法にもトレードオフがあります。

## ● 埋め込み型ロジック・アナライザ

主要なFPGAベンダは、埋め込み型のロジック・アナライザ・コアを提供しています。その例として、米国Altera社のSignalTap II、米国Xilinx社のChipScope Proなどがあります。これらのIPブロックはFPGAデザインに埋め込んで使用します。たとえば、FPGAのロジック・リソースはトリガ回路を実装するために、またメモリ・ブロックはデータ取り込みのために使用されます。通常であればFPGAをプログラムするためのJTAGは、メモリ・ブロックに取り込んだデータをパソコンに転送するために使用されます。

埋め込み型ロジック・アナライザはFPGAのリソースを使用するので、主にコアのオーバヘッドが吸収できる大規模FPGAで使用されます。

## ● ピンと内部リソース

埋め込み型ロジック・アナライザ・コアは既存のJTAGピンによってアクセスされるので、測定用の外部端子を必要としません。これは、ピン数に制限があるような場合でもこの手法が使えることを意味します。

最大のトレードオフは、ロジック・アナライザ・ブロックを埋め込むために使用できるFPGAのロジック・リソースとメモリ・ブロックを使用しなければならないことです。また、データを格納するために内部メモリを使用するのでメモリ長に制約があります。さらに限られたメモリ・ブロックを使用するために、同時に観測する信号数とメモリ長間でトレードオフが発生します。