

徹底解説

作ればわかるPCI Express

第8回 データリンク層の概要とCRC生成回路

内藤 竜治

今回は、データリンク層の、送信ブロックと受信ブロックという二つのブロックの概要と設計方法を説明する。そして、送信ブロックと受信ブロックがどのようなデータを送受信するかを制御する、全体制御ステート・マシンの設計方法について解説する。
(編集部)

今回は、実際にデータリンク層(以下DLL層)を設計し、さまざまなデータリンク層パケット(以下DLLP)を送受信してみましょう。

DLL層は、DLLPやTLPの送信といったパケット送信やAck/Nakプロトコルの処理などたくさんの仕事を行っていて、とても複雑です。レガシPCIのころのように、右から左へデータを流すというわけにはいきません。

複雑な処理を行う回路を作るには、ステート・マシンの階層化テクニック〔連載5回目(2009年6月号, pp.157-167)を参照)を使うと、比較的簡単に実現できます。今回設計する回路は、図1のように送信ブロックと受信ブロックおよび全体制御ブロックで構成し、各ブロックはステート・マシンを中心に取りました。

なお、今回設計するコアは、送受信したパケットにエラーは発生しないものとして考え、エラー処理系を大胆に

省くことにします。これによって、PCI Expressの通信に必要な最小限の回路の姿が明らかになります。

1. DLL送信ブロックの設計

● 送信ブロックの概要

DLLP送信ブロックの役割は、上から与えられた指令に基づいてDLLPやTLPを組み立て、下の物理層に渡すことです。それゆえ、送信するDLLPやTLPの内容は一切考えず、与えられたデータを元にパケットを組み立てて、それにLCRCを付与して送信するだけの処理に徹することにします。

物理層は、連載の5回目で説明したコアを使います。このコアは、クロック速度が125MHz、データ幅は16ビット固定のため、取り扱うデータは図2のように上位8ビットに先頭のSDPかSTPシンボルが必ず来るように配置されます。よって、DLL層から送信するデータも同じように上位8ビットに先頭データを配置します。

PCI Expressが送信するパケットには、DLLPとTLPのほかに、SKPオーダード・セットがあります。TLPの送信におけるシーケンス番号の付与やLCRCの計算はDLL層の仕事なので、DLL層にはTLP送信回路も必要です。SKPはリンク間のクロック周波数を調整するために定期的に挿入されるパケットです。これらのパケットには、DLLP > TLP > オーダード・セットのような優先順位が推奨されています。

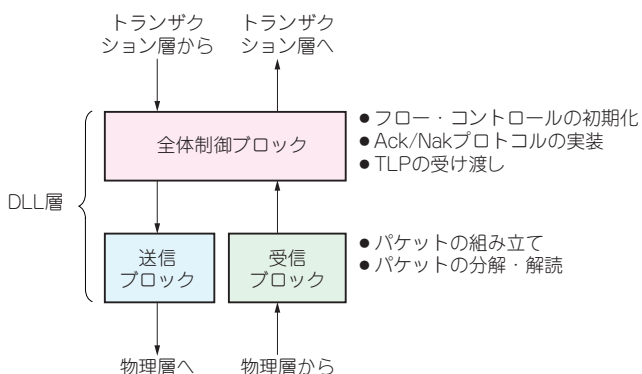


図1 設計するデータ・リンク層の全体の構成
各ブロックはステート・マシンで構成される。

図2 本コアが扱うデータの形式

クロック速度125MHz、データ幅は16ビットで扱う。上位8ビットが先、下位8ビットが後のデータとなる。

tx_data[1], tx_data[15:8]
rx_data[1], rx_data[15:8]

tx_data[0], tx_data[7:0]
rx_data[0], rx_data[7:0]

