

FPGAの 差動伝送機能をもっと気軽に使いこなそう!



昨今の高性能FPGAでは、GHzオーダの高速差動伝送機能に対応しているのが一般的である。さらに低価格なFPGAでも、数百MHz程度の差動伝送に対応するデバイスが増えてきている。しかし「高速シリアル伝送は難しい」というイメージがあるためか、使いこなしている人が少ないのではないだろうか。

そこで本連載では、主にDVIやHDMIなどのデジタル・ビデオ・インターフェースの入出力の実験を通して、気軽にFPGAの差動伝送機能を使ってもらうことを狙う。第1回の今回はDVI、次回はHDMI、そしてDisplayPortについても解説する予定である。
(編集部)

第1回 デジタル・ビデオ・インターフェースDVI入出力の実験

長嶋 毅

1. 差動伝送って何？ それって“おいしい”の？

● シングルエンドとディファレンシャル

一般的なロジック回路で使われている信号伝送の方式を、シングルエンド方式とも呼びます(図1)。グラウンドを基準として電圧の高い/低いで情報を伝えます。この方式で高速に信号を伝えるには信号の振幅を小さくする必要があります。しかし、振幅を小さくすると、信号にノイズが乗ったときに正しい情報が伝わらなくなってしまうことがあります。現状の電圧差3.3Vまたは2.5Vといったシングルエンド方式では、周波数として200MHz程度の信号までが限界といわれています。

シングルエンド方式と対する伝送方式に、ディファレンシャル(差動)方式があります(図2)。2本の信号線の間で電位差で情報を伝えます。この方式の利点は、図3のようにノイズが乗っても信号が正しく伝わるという点にあります。ノイズが乗った瞬間、グラウンドに対しては電圧が変

化していますが、2本の信号の間には電圧差はありません。シングルエンドでは3.3Vや2.5Vといった電圧差が必要ですが、差動の場合は数百mV程度の電圧差が使われ、現状ではGHzオーダの信号も正しく伝送できます。つまり差動伝送は、シングルエンドより10倍以上の高速伝送が可能なのです。

● パラレルとシリアル

ロジック回路において一度に大量の情報を送りたい場合、最も簡単な方法としては信号線の本数を増やす方法があります。これをパラレル方式と呼びます。しかしこの方法では、基板上に多数のパターンを配線しなければならず、ICの足の数も必要です。さらにすべての信号線の長さを合わせるのが難しく、配線の短い信号は先に相手に到着し、配線の長い信号は遅く到着します(この差をスキューと呼ぶ)。周波数が上がるとこの差がシビアになるので、パラレル方式は高速化が難しくなります。

そこで差動伝送の登場です。たとえば16ビット・デー



図1 シングルエンド方式

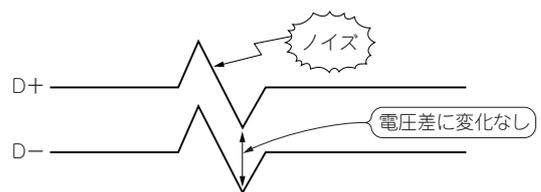


図3 差動伝送はノイズに強い

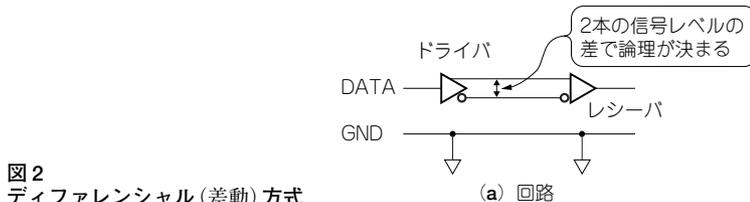


図2
ディファレンシャル(差動)方式

