

FPGAの 差動伝送機能をもっと気軽に使いこなそう!



連載第1回と第2回はLVDSをビデオ表示インターフェースへ応用した事例を解説した。今回はFPGA同士をLVDSで接続し、FPGAの内部バスを延長してFPGA間をまたいだバス接続を行う。少し地味な内容ではあるが、LVDSの用途としては定番ともいえる使い方である。
(編集部)

第3回 FPGAとFPGAをLVDSでつなぐ

長嶋 毅

1. FPGAとFPGAをつないで高速に通信

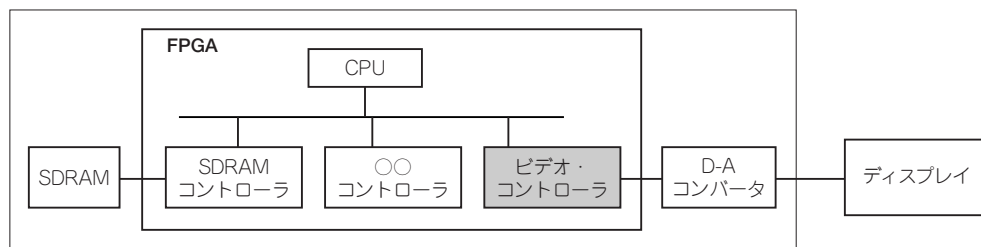
● FPGAの内部バスを延長する方法

FPGAとFPGAの間をバスでつなぐことを考えましょう。シングルエンドのLVTTTL (Low Voltage TTL) を使い、アドレス・バスやデータ・バスといった一般的なローカル・バスのタイミングで接続する場合、FPGA間の帯域はバス幅とバス・クロック速度で決まってくる。広いバ

ス幅はFPGAのI/OピンをFPGA間接続のために使ってしまう、基板のパターン設計も大変になります。またLVTTTLでは百数十MHz程度のバス・クロックが限界なので、おのずとバス帯域の上限が決まってきます。この上限を超える方法はないでしょうか。そこでLVDS (Low Voltage Differential Signaling) の登場です。

しかし、単にFPGAとFPGAをつないただけでは面白くありません。そこで次のような方法を考えました。FPGAの中に内部バスが走り、このバスの下にメモリ・コントローラやビデオ・コントローラなどの各コントローラ

(a) 各種コントローラが一つのFPGA内に接続されているシステム



(b) (a)のシステムのビデオ・コントローラ部分を異なるFPGAボードに実装したシステム

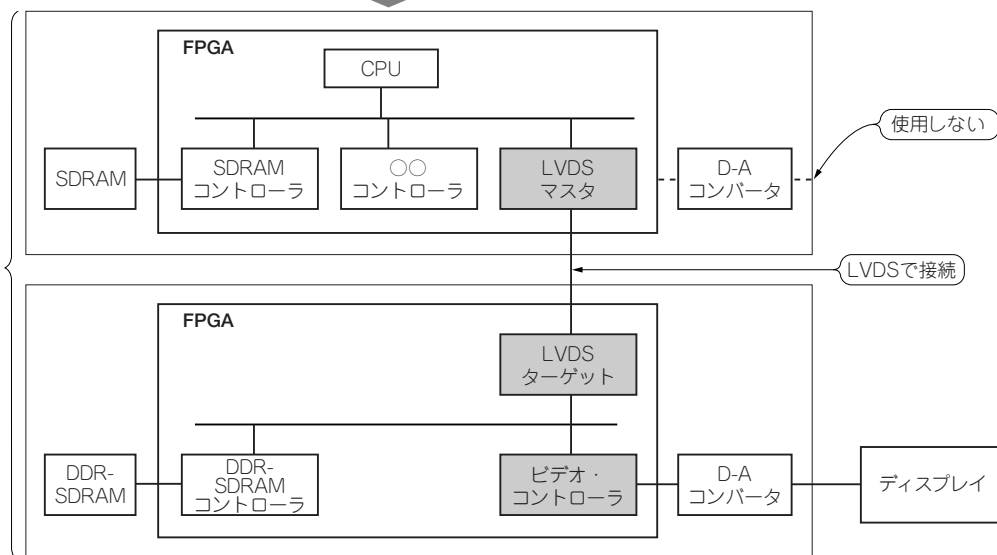


図1 FPGAの内部バスを延長