

前回(2010年9月号, pp.171-181)はPHY内蔵FPGAとして米国Altera社製デバイスArriaGXにPCI Express コアを移植した。今回は米国Xilinx社製デバイスの中からSpartan-6(XC6SLX45T)へPCI Expressコアを移植してみる。まずはSpartan-6内蔵のギガビット・トランシーバについて説明する。(編集部)

最近では低価格帯のFPGAにも、ギガビット・トランシーバ内蔵タイプが登場するようになってきました。米国Xilinx社製のSpartan-6も、Spartan-6LXTからはトランシーバとPCI Expressハードウェア・コアが内蔵されるようになりました。今回は、Spartan-6LXTに内蔵されたギガビット・トランシーバの使い方を説明します。

1. Spartan-6と内蔵ギガビット・トランシーバ

Spartan-6はXilinx社の低価格FPGAで、Spartan-6LXとSpartan-6LXTの二つのシリーズがあります。LXはロジックのみで、LXTはギガビット・トランシーバとIntegrated EndPoint Blockを内蔵したものです。EndPoint Blockというのはいわゆるハードウェア・マクロで、

表1 Spartan-6のラインナップ

- FPGAの規模が大きくてもパッケージが小さいとGTPトランシーバのすべてが使えるわけではない
- エンドポイントはGen1で×1レーン構成。PCI Express Base Specification 1.1に準拠

デバイス	ロジック・セル	DSP48A1スライス	ブロックRAMブロック	最大GTP数	PCIe エンドポイント・ブロック数
XC6SLX4	3840	8	12	0	0
XC6SLX9	9152	16	32	0	0
XC6SLX16	14579	32	32	0	0
XC6SLX25	24051	38	52	0	0
XC6SLX45	43661	58	116	0	0
XC6SLX75	74637	132	172	0	0
XC6SLX100	101261	180	268	0	0
XC6SLX150	147443	180	268	0	0
XC6SLX25T	24051	38	52	2	1
XC6SLX45T	43661	58	116	4	1
XC6SLX75T	74637	132	172	8	1
XC6SLX100T	101261	180	268	8	1
XC6SLX150T	147443	180	268	8	1

ユーザのロジック・リソースを使わずにPCI Express Base Specification 1.1に準拠したエンドポイントを作れます。Spartan-6のラインナップを表1に示します。

●ギガビット・トランシーバの概要

Spartan-6のトランシーバの概要を表2に示します。最大3.125Gbpsの速度で、SATA, Aurora, ギガビットEthernet, PCI Express, OBASI, CPRI, EPON, GPON, DisplayPort, XAUIなどのプロトコルに対応しています。ギガビット・トランシーバはさまざまなプロトコルをサポートしていますが、PCI Express用に設定した場合は、FPGA側のインターフェースへはPIPEに準拠した信号が出てきます。

内蔵ギガビット・トランシーバはGTPと呼ばれ、二つのチャンネルがセットになったGTP_DUALという単位で構成され、プリミティブの名前はGTPA1_DUALです^{注1}。GTP_DUALの全体構造は図1に示すようになっていて、トランスミッタ/レシーバの組が二つ入っています。GTP_DUAL内では、クロック・リソースの一部と電源が共有されていますが、GTP0とGTP1は独立して動作できます。このため、二つのGTPはSATAとPCI Expressと異なると異なるプロトコルに設定することもできます。

GTP関係のほとんどの信号やアトリビュートの名前の末尾には0か1が付きます。たとえば、リセットならGTPRESET0やGTPRESET1, 受信データの極性を反転させる信号はRXPOLARITY0, RXPOLARITY1といった具合になります。

このようなGTP_DUALが、デバイスの規模に応じて1個から4個入っています。小規模なデバイスはデバイスの上辺(つまりバンク0)の部分に、大規模なデバイスで上辺と下辺(つまりバンク2)にそれぞれ2個ずつ入ります。今回の実験で用いるXC6SLX45T FGG484では、上辺に2個