

FPGAの



関連データ

差動伝送機能をもっと気軽に使いこなそう!

今回は ArriaGX 評価ボードを使った DisplayPort 出力の後編を解説する。DisplayPort 用のレーン数を節約すると、残りのギガビット・トランシーバをシリアル ATA などの別の用途に使うことも可能である。

(編集部)

第6回 FPGA 内蔵のギガビット・トランシーバによる DisplayPort 出力実験(後編)

長嶋 毅

DisplayPort と DVI のデュアル・モードに対応する場合はメイン・リンクを4レーン使用しますが、DisplayPort だけを実装する場合にはメイン・リンクを1レーンとすることも可能です。複数レーンのギガビット・トランシーバが使用可能な場合、1レーンまたは2レーンを DisplayPort に割り当て、残りのレーンを SATA などのストレージ用に使用すれば、表示機能と記憶装置の接続を備えたシステムを一つの FPGA で構成することができます。

かの回路構成は変更せずに使用できます。

メイン・リンクで転送するデータの主なものとして、表示データ(Main Video Stream)と同期信号を示す VB-ID、および表示パラメータ(Main Stream Attribute)があります。ほかにも音声データや拡張パケットなどがありますが、最小限の機能とする場合には実装しなくてもよいため説明は割愛します。

DisplayPort でのメイン・リンクのレーン数に対する画素の振り分けは表1のようになります。VB-ID と Main Stream Attribute も画素と同じ扱いになります(図1)。

1. レーン数と転送フォーマット

● DisplayPort のメイン・リンクについて

DVI と DisplayPort のデュアル・モードを実現するためには4レーンが必要ですが、DisplayPort だけを実装する場合には、使用するレーン数を1レーンもしくは2レーンに削減することが可能です。メイン・リンクで使用するレーン数を変更した場合は、各レーンを流れるデータ・フォーマットが変化するだけで、AUX-CH や HPD などほ

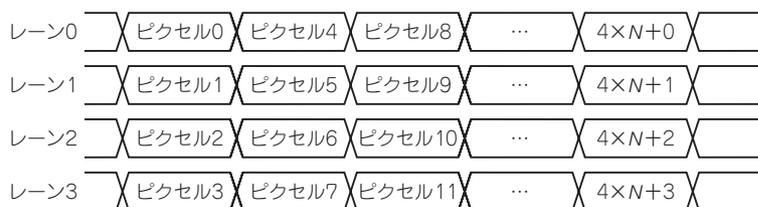
● VB-ID

VB-ID は画素データと同じように扱い、4画素として各レーンに割り振ります。そのため、4レーンの場合には各レーンに1回、2レーンでは各レーンに2回、1レーンでは4回データを出力します。データの開始は BS (コード K.285) で表し、データ・サイズは3バイト×4です。VB-ID とレーン数の対応は図2のようになります。

VB-ID のデータの配置を表2に示します。画素0~3は

表1 レーン数と画素の対応

レーン数	画素の対応 (Nは0以上の整数)	
4	レーン0	ピクセル $4 \times N$
	レーン1	ピクセル $4 \times N + 1$
	レーン2	ピクセル $4 \times N + 2$
	レーン3	ピクセル $4 \times N + 3$
2	レーン0	ピクセル $2 \times N$
	レーン1	ピクセル $2 \times N + 1$
1	レーン0	全ピクセル



(a) 4レーン



(b) 2レーン



(c) 1レーン

▶ 図1
レーン数と画素の対応
(ストリーム)