徹底解説 作ればわかるPCI Express

第19回 Spartan-6の内蔵エンドポイント・ブロックの使い方（前編）

内藤 竜治

Xilinx社のSpartan-6 LXTシリーズには，PCI Expressエンドポイント・ブロックというハードウェア・マクロが内蔵されている．これを使えば，誰でも簡単に難しい知識を必要とせず，ライセンス費用なしにPCI Express対応デバイスが実現できるのだろうか？　今回は内蔵エンドポイント・ブロックの機能を解明する．（筆者）

1．内蔵エンドポイント・ブロックの概要

Spartan-6 LXTに内蔵されているエンドポイント・ブロックは，以下のような特徴を持ちます．

- ハードウェア・マクロで実装されていて，無償で使える
- PCI Express Base Specification v1.1に準拠
- x1レーン
- リンク速度は2.5Gビット/秒
- ユーザ・インターフェースは62.5MHz/32ビット幅

FPGA内にハードウェア・マクロとして構成されたエンドポイント・ブロックとギガビット・トランシーバを持つことで，貴重なユーザ・ロジックを使用せず，追加のライセンスや費用なしに，FPGA単体でPCI Expressに対応したデバイスを作れるようになるというわけです．

内蔵エンドポイント・ブロックは以下のことをハードウェア的に処理してくれます．

- 物理層およびデータ・リンク層レベルの処理
- コンフィグレーション空間の管理とコンフィグレーション・レジスタの実装
- BAR0 ～ BAR5（ベース・アドレス・レジスタ）のアドレス空間にヒットしたかどうかの判断
- 割り込みの発生
- 電源管理（ASPM）の処理

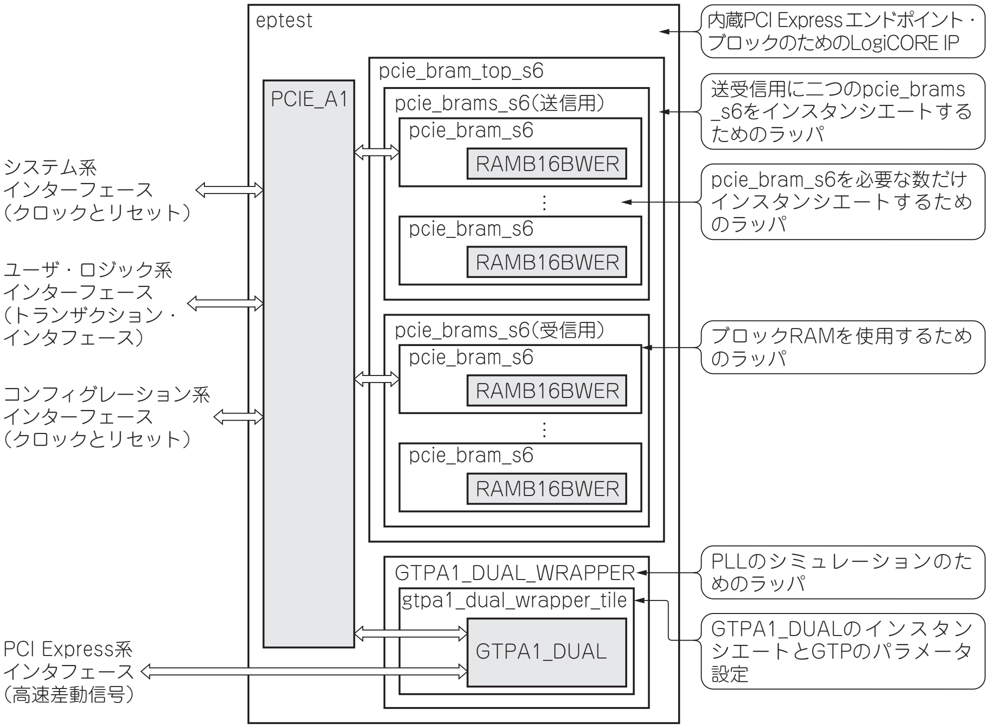

図1 内蔵エンドポイント・ブロックと周辺回路の構成

コアの本体であるPCIE_A1のほかに，GTPA_DUALとRAMB16BWER（ブロックRAM）から構成されている．プリミティブを何重にもラッパしているが，各階層は複雑なロジックを実装しているわけではない．基本的に，VHDLの条件コンパイルを行ったり，不要なポートを削除したり，固定値を与えているにすぎない．つまり，すべての機能はユーザ・ロジックを使わずに実現されている．

KEYWORD――Xilinx，Spartan-6，Core Generator，LogiCORE IP，ラッパ，ユーザ・ロジック