

新世代のESL合成ソリューション Bluespec System Verilogのすすめ

本章では、高位設計言語であるBluespec System Verilogを紹介する。この言語では、コンパイル時にしっかりエラー検出ができ、また、さまざまなライブラリも提供している。FPGAやASICが大規模化し複雑な回路を設計する機会が増えてきた今、知っておくべき技術だろう。
(編集部)



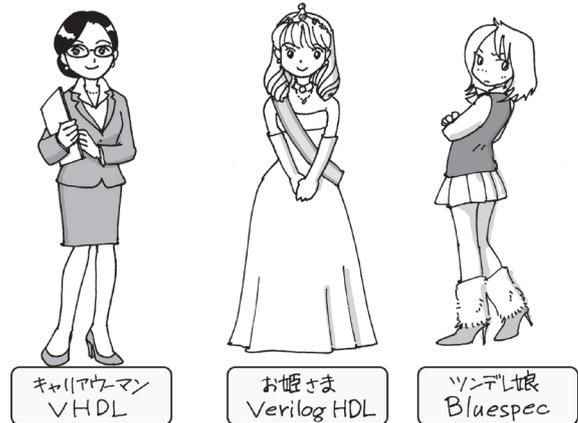
三好 健文

Verilog HDLやVHDLを使った設計で、
 ー ああ～、数字って32ビットだった。うっかりキャストされていたよ…
 ー テスト・ベンチのステート・マシンを書くのが面倒だな。
 ー モジュールのインスタンス化で入出力ピンをつなぎ忘れていた
 という思いをしたことはありませんか？

単純な記述の羅列や細かいミスへの注力が続くと、本来力を入れるべき、アーキテクチャの設計まで億劫おっくうになってしまいます。また、「コンパイル(論理合成)は通るのに、シミュレーションやFPGA上で動作させると、何かおかしい」という事態に頭を悩ませ、原因はうっかりミスだったということも一度や二度ではないと思います。

記述の手間がもっと省けて、コンパイル時に強力にエラー・チェックしてくれるHDL言語ないかなあ…という要求に応えてくれるのがBluespec System Verilogです(図1)。VHDLがまじめなキャリア・ウーマン、Verilog

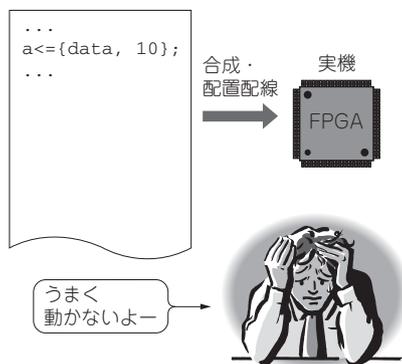
HDLがドレスを着たお姫さまだとすると、コンパイル時にエラーをしっかり検出してくれるが故にコンパイルを通すのが困難な反面、コンパイルさえ通れば合成した回路がきちんと動作してくれるBluespecはパワフルなツンデレ娘と筆者はイメージしています(図2)。



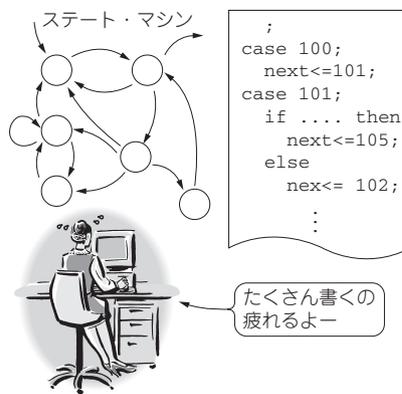
キャリアウーマン
VHDL

お姫さま
Verilog HDL

ツンデレ娘
Bluespec



BSVなら“型チェック”でコンパイル・エラー



BSVのStmt FSMで簡単に書けるよ！

▲ 図2 Bluespec System Verilogはツンデレ娘

ぎっちりしていてキャリアも長いVHDL、あいまいさが許容されるのがVerilog HDL、コンパイル時にしっかりエラーを検出し、その後、素直に動くのがBluespec System Verilog。

◀ 図1 Bluespec System Verilog (BSV)で安全、らくらくハードウェア開発