

徹底解説

作ればわかるPCI Express

第22回 (最終回) PCI Express コア開発のまとめ

内藤 竜治

長期間にわたる連載も今回が最終回となる。最終回の今回は連載の総まとめとして、これまでの連載内容を振り返る。また最後に、連載では説明しきれなかったそのほかの話題について説明する。
(編集部)

本連載はFPGAでPCI ExpressのIPコアとアドイン・カードを作ることを目的として、2009年1月号からにスタートしました。そもそものきっかけは、PCI Expressのセミナーに行っても、解説記事や書籍を読んでもなかなかコ

アの実装方法について知ることができなかったため、自分でゼロからFPGAの中に作って理解を深めようというものでした。ところがPCI Expressの仕様は膨大で、すべての機能を作るとロジック・リソースをたくさん必要としますし、何より大変です。そこで、あまり使われない機能や省略可能なものは徹底的に省略し、非常にシンプルなIPコアを作ることにしました。

今回は最終回なので、これまでの総まとめと、今まで解説してこなかった雑多な話題についてとりあげます。

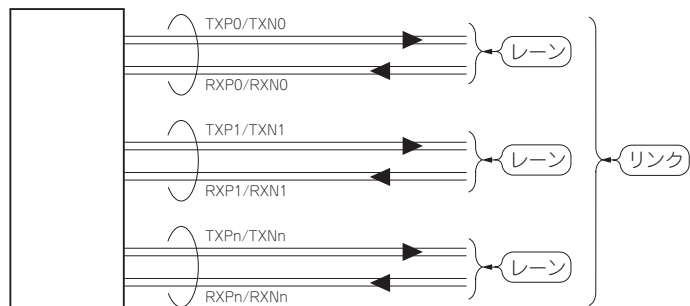


図1 リンクとレーン
送信と受信のペアのことをレーンと呼び、一つのレーンで2.5Gbpsの全2重通信ができる。レーンの全体のことをリンクという。

1. PCI Express コア開発のまとめ

● PCI Expressの通信方式

PCI Expressは従来のPCIを置き換える通信規格で、レーンと呼ばれるシリアル伝送の送受信ペアを通じて通信します。一つのレーンは2.5Gbpsの速度で(Gen1の場合)で、最大32本まで束ねられます。レーンを束ねた通信路の全体をリンクと呼びます(図1)。

信号線や通信方式はPCIとは全く異なります。通信はすべてパケット化されており、PCIのDEVSEL#やINTA#のように特定の機能を持った信号はなく、メモリ・ライトやリードといったトランザクションはパケットのヘッダで区別されます。PCI Expressのシステムは、ルート・コンプレッ

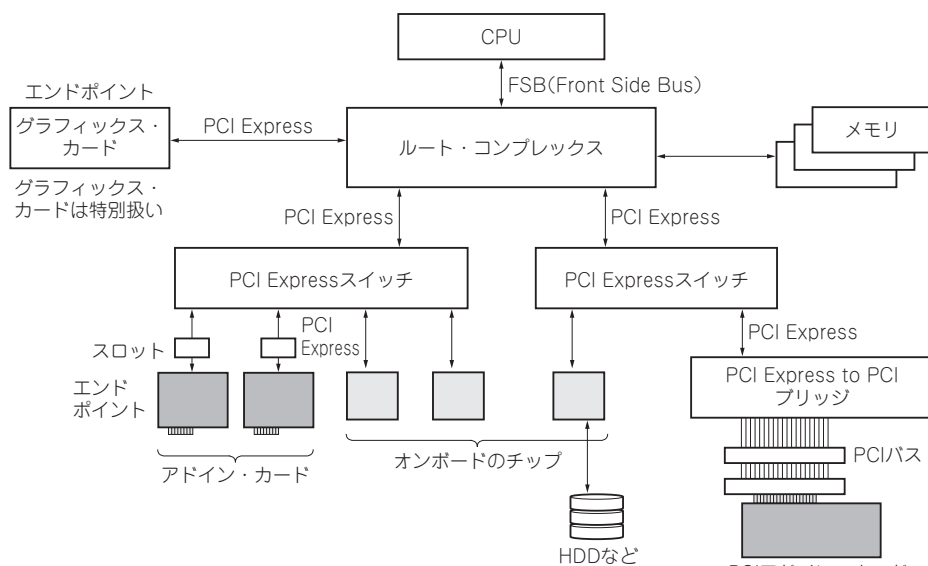


図2 PCI Expressのシステム構成
ルート・コンプレックスを頂点とし、エンドポイント、スイッチ、ブリッジで構成される。すべて1対1の接続であり、スイッチによって分岐する。Intel社のチップ・セットの場合は、ノース・ブリッジがルート・コンプレックスの機能を持つ。