

実測とシミュレーションを 協調して信号品質を考える

後編

依田 達夫

前号(2011年5月号, pp.120-129)では, 信号品質を評価するシグナル・インテグリティと実測とシミュレーションの連携・協調の重要性を解説した。今回は, 電源品質を評価するパワー・インテグリティを紹介する。(編集部)

1. パワー・インテグリティ向上の必要性

シグナル・インテグリティ(信号品質)を脅かす大きな要因の一つが電源系のノイズです。電源のノイズにより信号にジッタが多く乗ってしまうなど, 電源層やグラウンド層からのノイズの混入が目立ちます。供給電圧が下がり(IRドロップ), ICの動作電圧以下になると誤作動を起こします。また電源系からのコモンモード・ノイズ放射はEMIにつながります。これらの電源やグラウンドの品質を示すものをパワー・インテグリティ(PI)と呼びます。

最近, 高速デジタルICの低電圧化, 大電流化が進み, パワー・インテグリティの向上が重要です。例えば, ICの消費電流量に急激な変化があった場合でも, 常にICに安定したDC電圧を供給し続けなければなりません。そのためには, ICから見た電源プレーンとグラウンド間のPDN(Power Distribution Network)インピーダンスを極めて小さい値に抑えることが必要です。ICの消費電流量の変化を ΔI とした場合, $\Delta V_{dd} = \Delta I \times Z_{pdn}$ という簡単な式で電源電圧 V_{dd} に起こる変化を表せます。この現象をIRドロップと呼びます(図1)。

最近のICは数十Aといった大電流を消費するものがあり, ΔI が非常に大きな値となります。設計者が ΔI を制

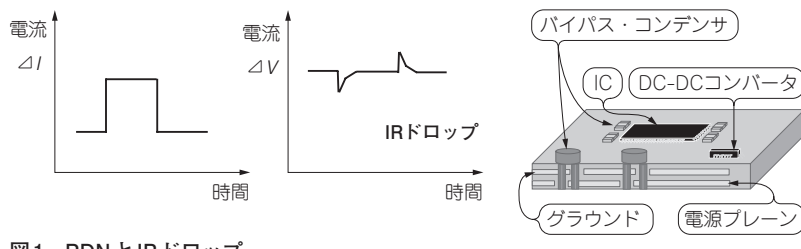


図1 PDNとIRドロップ

御するのは現実的ではないため, ΔV_{dd} を低く抑えるために, Z_{pdn} を $m\Omega$ オーダーの極めて小さな値に抑えることが唯一の方法です。 ΔV_{dd} を問題ない大きさに抑えられるインピーダンスの目標値(いわゆるターゲット Z_{pdn})を設定し, これを達成するように電源モジュールや基板レベルのPDN設計をします。例えば $V_{dd} = 1.2V$, $I_{max} = 150A$, 許容電圧リップルを5%とすると, V_{dd} の変動許容量は $1.2V \times 5\% = 0.06V$, 過渡電流変動最悪値を $150A \times 50\% = 75A$ とすると, ターゲット Z_{pdn} は $0.06/75 = 0.8m\Omega$ になります(図2)。

残念ながら Z_{pdn} を定量的に捉えている設計者はまだまだ少ないのが現状です。 Z_{pdn} 低減のために経験則や予測からバイパス・コンデンサを過剰に配置するといった対策を行う設計者もいますが, コンデンサの増加は基板サイズとコストの増加を意味します。対策しても, 期待した効果が得られず, むしろ悪化するという事態も発生しています。さらに, 評価方法はオシロスコープで電源電圧を観測する程度で, 定量的に対策の効果を確認できないといったケースも多く見られます。

特に, ある動作周波数ではICが正常に動作するものの, 異なる周波数では動作しないといったような現象について

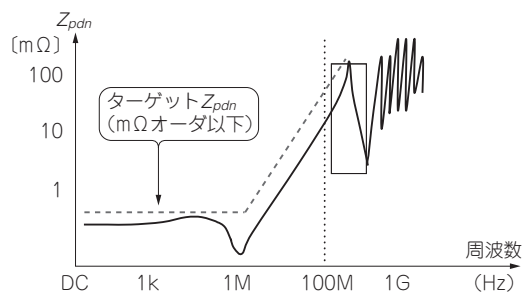


図2 ターゲット Z_{pdn}