

# 世界はARMだけじゃない!?台湾発! 32ビットCPUコアAndesCore

後編

ちょこっと

ベンチマーク! AndesCore対ARM

圓山 宗智

今回は、台湾 Andes Technology 社 (以下 Andes 社) の組み込み向け CPU コア IP (Intellectual Property) の概要とラインアップを説明しました。現在、組み込み向けの CPU コアは英国 ARM 社の IP が世の中に浸透し、我々の生活を豊かにしてくれているので大変ありがたい存在になりました。しかし、ほとんど「敵無し!」という感じであり、Andes 社のような新興 CPU コア IP ベンダの誕生によって SoC (System on a Chip) や FPGA (Field Programmable Gate Array)、さらには MCU (Micro Controller Unit) に内蔵する CPU コアの選択肢が増えて、より一層 CPU コア IP 市場が技術的にもコスト的にも活気付くことは意味があることだと思います。

今回は後編として、筆者の手もとで試行したベンチマーク結果を示すとともに、Andes 社の各種技術内容について、さらに突っ込んだ紹介をします。

## ちょこっとベンチマーク! AndesCore対ARM

### ● Cortex-M0 相当! N801 コアの特徴

AndesCore ファミリの N801 コアと ARM 社の Cortex-M0 で、コード・サイズを比較してみました。

N801 は Andes 社の CPU コア IP のなかで、最もローエンドに位置するものです。命令セットは AndeStar V3m (最

リスト1 試してみたちょこっとベンチマーク・プログラム  
符号なし 32 ビット整数どうしの除算ルーチンであり、GNU ライブラリのなかの "divulong" をそのまま使った

```
//-----
// UDIV x32/y32
//-----
#define MSB_SET(x) ((x >> (8*sizeof(x)-1)) & 1)
//
unsigned long UDIV (unsigned long x, unsigned long y)
{
    unsigned long reste = 0L;
    unsigned char count = 32;
    int c;

    do
    {
        c = MSB_SET(x);
        x <<= 1;
        reste <<= 1;
        if (c) reste |= 1L;
        if (reste >= y)
        {
            reste -= y;
            x |= 1L;
        }
    }
    while (--count);
    return x;
}
```

表1 コード・サイズのちょこっとベンチマーク結果

いずれの最適化オプションでも N801 のほうがコード・サイズは小さくなった (\* : 最適化オプション "-O3" のとき Cortex-M0 は関数がインライン展開されるので、メイン・ルーチン中の関数処理相当部分のサイズを示した)

最適化	項目		単位	AndesCore N801	ARM Cortex-M0
	使用コンパイラ				nds32le-elf-gcc Ver4.4.4 (2012.08.12)
最適化なし [-O0]	コード・サイズ		バイト	92	112
	命令数	合計	個	40	56
		32ビット長	個	6	0
	16ビット長	個	34	56	
サイズ優先 [-Os]	コード・サイズ		バイト	38	40
	命令数	合計	個	16	20
		32ビット長	個	3	0
	16ビット長	個	13	20	
速度優先:弱 [-O1]	コード・サイズ		バイト	36	40
	命令数	合計	個	15	20
		32ビット長	個	3	0
	16ビット長	個	12	20	
速度優先:中 [-O2]	コード・サイズ		バイト	36	60
	命令数	合計	個	15	30
		32ビット長	個	3	0
	16ビット長	個	12	30	
速度優先:強 [-O3]	コード・サイズ		バイト	52	58 (*)
	命令数	合計	個	22	29
		32ビット長	個	4	0
	16ビット長	個	18	29	