

コンピュータ技術の最先端! 最新x86アーキテクチャの世界

三好 健文

x86アーキテクチャは、1978年に発売された8086以来、命令セット・アーキテクチャの互換性を保ちながらも高い処理性能を実現するため、進化し続けています。動作周波数向上、 μ OPによる内部アーキテクチャのRISC化(コラム, p.93)、SpeedStepなどの省電力化、64ビット化と、内部アーキテクチャの工夫を続け、パソコンやサーバに広く使われています。

最新のHaswellでは、なんと17億個にもものぼるトランジスタが命令の実行ユニットや実行支援機構の実現に使われています。

本章では、普段何げなく使用しているx86アーキテクチャの中身にスポットをあててみます。

その1: パソコン向けCore i7/5/3で 使われる最新Haswell

■ 主な特徴

Haswellのマイクロアーキテクチャ上の特徴は、参考文献(2)に詳しく書いてあります。図1が、このマニュアルから引用したHaswellのパイプライン構成図です。演算ユニットに相当するALU(Arithmetic Logic Unit)などだけではなく、多数のユニットが存在していることがわかります。Haswellのアーキテクチャ上の特徴は多岐にわたります。

- アウト・オブ・オーダー実行機構
- 実行コアはスーバスカラ
 - 4個のALU, 2個のFMA(Fused Multiply-Add)実行パイプラインを持ち、メモリ操作もあわせて、1サイクルあたり最大8 μ OPを発行可能
 - 256ビット幅のメモリ操作命令、FMA, AVX浮動小数点数命令、AVX2整数実行命令ユニットを搭載
- 4~19ステージのパイプライン
- ハイパースレッディング・テクノロジー
 - 1コアあたり二つのハードウェア・スレッド(論理プロセッサ)を提供
- トランザクショナル・メモリのサポート(インテルTSX)

- 1次データ・キャッシュ, 2次キャッシュのバス幅が増加。オプションで4次キャッシュをサポート
- コアおよびメモリやリンク・サブシステムを含む電力管理機能

参考文献(2)および1世代前のSandy Bridgeまでの解説が記載されている日本語版の参考文献(3)の内容を引用しながら、もう少し詳しくアーキテクチャの中をのぞいてみることにします。

■ フロントエンド

フロントエンドは、命令をフェッチ、デコードする、あるいはキャッシュから命令を読み出すことで実行ユニットに命令を供給する部分です。Haswellのフロントエンドのアーキテクチャは、Sandy Bridgeよりさらに1世代前のNahalem由来の構成(図2)を踏襲しています。

● 命令デコーダ…x86命令を μ OPに変換する

命令は32KバイトのL1命令キャッシュから読み出されます。キャッシュがはずれた場合にはL2キャッシュに読みいきます。読み出された命令は、プリ・デコーダ(Pre-Decoder)で命令長を判断した後、デコーダ(Decoder)で実際に処理ユニットを駆動する μ OPに変換されます。

Haswellのデコーダは四つのデコード・ユニットで構成されています。最初のデコード・ユニットは最大で四つの μ OPで構成される命令を処理し、残りの3ユニットは、単一 μ OP命令を処理します。マイクロ・シーケンサは、1サイクルあたり最大3 μ OPに対応可能で、5 μ OP以上の命令のデコードを支援します。デコードされた、 μ OPは μ OPキューに格納されます。

● 1サイクルでなるべくたくさんの μ OPを実行するしくみ

▶ その1: マイクロ・フュージョン

同一命令の複数の μ OPを、単一の複雑な μ OPにまとめる機能です。マイクロ・フュージョンを使用すると、複数の μ OPがまとめられた上でコア内のパスを