

使えば使うほど壊れていく…
超定番不輝発メモリの基礎知識

キーデバイス②… NAND型フラッシュ・メモリ

麻生 浩一郎, 宇都宮 厚, 長尾 武文

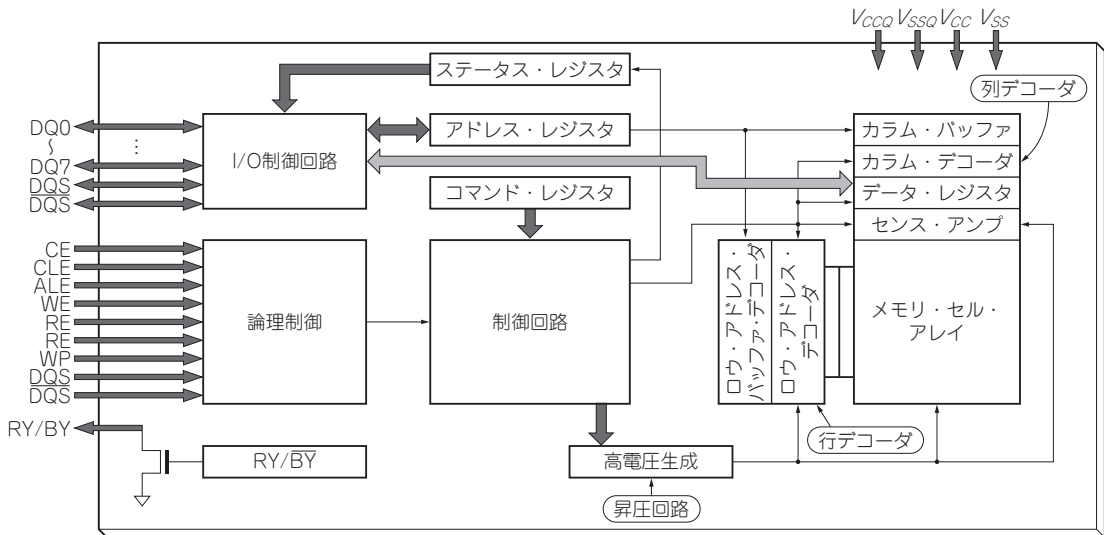


図1 NAND型フラッシュ・メモリICの内部回路ブロック

NAND型フラッシュ・メモリの構造

●メモリ・セルの構造

NAND型フラッシュ・メモリの構造を図1に示します。

メモリ・セル・アレイが、行デコーダと列デコーダで管理され、そこに昇圧回路が接続されています。

メモリ・セル・アレイは、図2に示すようなメモリ・ブロック構造になっています。

1ページ=8192+1024というのは、1ページ当たり、データ領域が8192バイト(8Kバイト)、冗長領域が1024バイト(1Kバイト)という意味です。冗長領域は、データ領域の管理用のエリアであり、例えばECC用のパリティなどが格納されています。

ここで重要なのは、データ領域が8Kバイト、つまり65536トランジスタ・セル(8192×8ビット)が1ページに直列で接続されていることです。

一つのトランジスタ・セルの構造を図3に示します。上から、制御ゲート(CG)、酸化膜、フローティング・

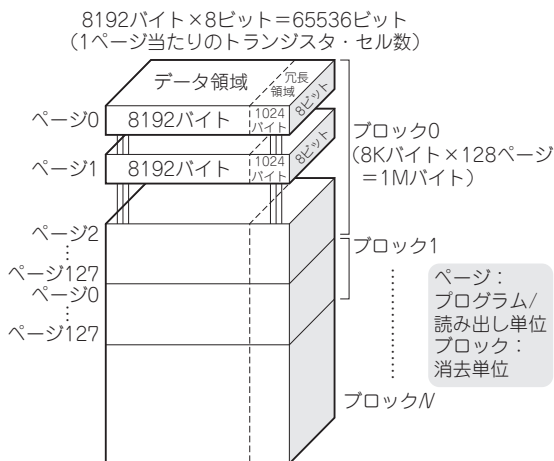


図2 メモリ・セル・アレイのブロック構造
2nmプロセス, SLC (Single Level Cell)